

특 1995-0009077

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 11/40

(45) 공고일자 1995년08월14일
(11) 공고번호 특1995-0009077

(21) 출원번호	특1992-0015329	(65) 공개번호	특1994-0004643
(22) 출원일자	1992년08월25일	(43) 공개일자	1994년03월15일
(71) 출원인	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	이철하 경기도 구리시 교문3동 712		
(74) 대리인	이건주		

심사관 : 이해평 (특허공보 제4085호)

(54) 듀얼포트 디램

요약

내용 없음.

도면

도1

명세서

[발명의 명칭]

듀얼포트 디램

[도면의 간단한 설명]

제1도는 일반적인 듀얼포트 디램의 기능블록도.

제2도는 제1도의 구성중 데이터 입력버퍼의 종래기술에 따른 구체회로도.

제3도는 제2도의 데이터 입력버퍼의 동작을 제어하는 신호를 발생하는 회로도.

제4도는 제2도의 칼라레지스터 데이터의 외부출력 경로도.

제5도는 제2도의 노말게이팅신호를 발생하는 회로도.

제6도는 본 발명에 따른 데이터 입력버퍼를 구비하는 듀얼포트 디램의 구성도.

제7도는 본 발명에 따른 데이터 입력버퍼의 구체회로도.

제8도는 제7도의 데이터 입력버퍼의 동작을 제어하는 신호를 발생하는 회로도.

제9도는 제7도의 출력선택신호 발생회로도.

[발명의 상세한 설명]

본 발명은 듀얼포트 디램(dual port DRAM)에 관한 것으로, 특히 칼라레지스터에 저장된 데이터를 메모리 셀 어레이와 출력버퍼에 택일적으로 출력하는 기능을 가지는 데이터 입력버퍼를 구비하는 듀얼포트 디램에 관한 것이다.

일반적인 듀얼포트 디램은 특정데이터를 저장하는 칼라레지스터를 가지고 있다. 상기 칼라레지스터는 블록라이트 또는 플래시라이트기능 수행시에 유용하게 사용된다. 상기 칼라레지스터의 각 비트는 디램 입/출력 블록의 하나에 대응된다. 상기 칼라레지스터의 데이터를 입력시키는 모드가 로드 칼라레지스터 싸이클(load color register cycle)이고 상기 칼라레지스터에 저장된 데이터를 읽어내는 모드가 리드 칼라레지스터 싸이클(read color register cycle)이다.

제1도는 일반적인 듀얼포트 디램의 기능블록도이다. 상기 제1도의 구성중 램(RAM) 입/출력단(102)은 라이트 마스크레지스터 & 칼라레지스터(101)와 램 입/출력버퍼(102)로 이루어진다.

제2도는 상기 제1도의 램 입/출력버퍼(102)의 구성중 출력버퍼를 제외한 데이터 입력버퍼를 나타내는 도면으로, 종래기술에 따른 구성이다. 상기 데이터 입력버퍼는 티티엘(TTL)레벨의 외부 입력데이터 $\overline{W_i}$ 를 인가받아 써모오스(CMOS)레벨로 정형하는 입력단(10)과, 외부 입력데이터 $\overline{W_i}$ 를 로드 칼라레지스터 제어 신호 ϕ_{LCR} 에 따라 칼라레지스터 정보로서 래치시키는 칼라레지스터 정보 래치회로(20)와, 외부 입력 데이터 $\overline{W_i}$ 를 $\overline{WB}/\overline{WE}$ 신호에 의해 발생하는 입력데이터 래치필스 \overline{DLP} 에 따라 래치시키는 입력데

미타 래치신호(30)와, 상기 칼라레지스터 정보 래치회로(20)에 래치된 칼라레지스터 데이터와 상기 입력 데이터 래치회로(30)에 래치된 입력데이터를 택일적으로 선택하여 출력단(50)에 전달하는 출력선택수단(40)과, 상기 출력단(50)의 동작을 제어하는 출력제어수단(60)으로 이루어져 있다.

상기 제2도의 로드 칼라레지스터 싸이클의 동작 및 로드 칼라레지스터 싸이클의 동작을 살펴본다. 로드 칼라레지스터 신호 ϕ LCR 이 "하이"로 액티브되면 턴온되어 있던 제1전달 게이트(201) 및 제4전달게이트(204)는 턴오프되고, 제2전달게이트(202)와 제3전달게이트(203)는 턴온되어 칼라레지스터에 저장될 외부입력데이터 \overline{WII} 가 입력된다. 소정의 시간 후에 상기 ϕ LCR이 "로우"로 되면 상기 제1전달게이트(201) 및 제4전달게이트(204)는 턴온되고, 제2전달게이트(202)와 제3전달게이트(203)는 턴오프되어 외부 입력 데이터 \overline{WII} 는 제1래치에 저장된다. 상기 제1래치에 저장된 칼라레지스터 데이터 CR1(Color Register Inform)는 제1경로를 통하여 데이터 출력버스에 전달되며, 또한 상기 출력선택수단(40)의 제어 신호 ϕ NMG에 제어되어 제2경로 (제5전달게이트(205) 및 출력단(50))를 통해 메모리셀 어레이의 입력게이트에 전달되는 DINI/DINI를 발생시킨다. 상기 ϕ NMG는 노말모드 게이팅(Normal Mode Gating)신호로서, 노말모드 및 특별모드(블록라이트모드 또는 플래시라이트 모드)를 택일적으로 제어한다.

제3도는 상기 제2도의 제어신호인 ϕ CRT, ϕ LCR, CROM 신호를 발생시키는 회로이다. 상기 제3도에 인가되는 ϕ DSF는 외부에서 인가되는 특별기능 제어신호 DSF에 의해 발생되고, ϕ WB는 외부에서 인가되는 WB/WE에 의해 발생되고, ϕ CD는 외부에서 인가되는 CAS에 의해 발생되는 마스터 클럭(master clock)이고, ϕ WR는 상기 WB/WE의 지연된 신호로서, 라이트 수행을 위한 마스터 클럭이다.

제4도는 상기 제2도의 칼라레지스터 정보 래치회로(20)에 래치된 후 출력되는 칼라레지스터 데이터 CR1가 출력버퍼로 접속된 데이터 출력버스(BUS) DO1로 출력되는 경로를 보여준다. 상기 DO1는 제3도의 회로에서 발생하는 칼라레지스터 데이터 전달신호 ϕ CRT에 의해 전달게이트(401)가 턴온됨에 따라 데이터 출력버스 DO1로 전달된다.

제5도는 상기 제2도의 출력 선택수단(40)의 제어신호인 노말모드 게이팅신호 ϕ NMG를 발생시키는 회로를 나타내는 도면이다. 상기 ϕ NMG 신호는 플래시 라이트신호 ϕ FLW와 블록 라이트신호 ϕ BWL을 논리합함으로써 발생된다. 즉, 상기 제2도에서 플렉스 라이트신호 ϕ FLW 또는 블록 라이트신호 ϕ BWL가 "하이"로 인해 이블되면 상기 ϕ NMG는 "하이"로 되므로, 칼라레지스터 데이터 CR1는 출력단(50)을 통하여 데이터 입력버스 DINI/DINI에 실리게 된다.

한편 제2도의 구성을 살펴보면, 종래기술에 따른 데이터 입력버퍼는 로드 칼라레지스터 모드(싸이클)시에 칼라레지스터 정보 CR1를 출력하는 제1경로와, 칼라레지스터의 데이터를 불러내어 사용하는 블록라이트 또는 플래시라이트 모드시의 출력 DINI를 출력하는 제2경로(출력단(50))를 가지고 있다. 그러므로 상기 제1경로 및 제2경로의 두가지의 경로를 구현하기 위한 별도의 제어클럭인 칼라레지스터 데이터 전달신호 ϕ CRT가 필요하다. 이로 인하여 제어신호 발생회로가 복잡해지고, 칩의 레이아웃(layout)이 커지는 단점이 있다.

따라서 본 발명의 목적은 칼라레지스터에 저장된 데이터를 단일 데이터경로를 통하여 메모리셀 어레이와 출력버퍼에 택일적으로 출력하는 기능을 가지는 데이터 입력버퍼를 구비하는 듀얼포트 디램을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명은 기입수단을 통하여 외부데이터를 받아들여 저장하며 독출수단을 통하여 저장된 데이터를 출력하는 메모리셀 어레이와, 상기 기입수단 및 독출수단에 공통접속되어 데이터경로로 이용되는 데이터 버스와, 입력단이 외부입력 데이터를 받아들여 일정레벨로 정형하며 출력단이 상기 데이터버스에 접속된 입력버퍼와, 상기 데이터버스를 통하여 데이터를 받아들여 외부로 출력하는 출력버퍼를 구비하며, 블록라이트기능 및 플래시 라이트기능을 가지는 듀얼모드 디램에 있어서, 상기 데이터 입력버퍼는, 외부입력 데이터를 받아들여 입력데이터로 정형하는 입력단과, 상기 입력데이터를 데이터버스에 접속된 출력단에 전달하는 제1경로와, 소정의 신호에 제어되어 상기 입력데이터를 받아들여 자체내에 저장하며 제2경로를 통하여 상기 출력단에 접속되는 칼라레지스터와, 출력선택신호에 동기하여 상기 제1경로와 제2경로를 상보적으로 상기 출력단에 접속시키는 출력선택수단과, 상기 출력단의 출력동작을 제어하는 출력 제어수단으로 이루어짐을 특징으로 한다.

이하 첨부된 도면 제6도 내지 제9도를 참조하여 본 발명을 상세히 설명한다.

제6도는 본 발명에 따른 데이터 입력버퍼를 가지는 듀얼포트 디램의 구성을 나타내는 도면이다. 상기 듀얼포트 디램은 기입수단(52)을 통하여 외부 데이터를 받아들여 저장하며 독출수단(54)을 통하여 저장된 데이터를 출력하는 메모리셀 어레이(50)와, 상기 기입수단(52) 및 독출수단(54)에 공통접속되어 데이터경로로 이용되는 데이터버스(56)와, 입력단(60)이 외부 입력데이터 \overline{WII} 를 받아들여 일정레벨로 정형하며 출력단(65)이 상기 데이터버스(56)에 접속된 입력버퍼(51)와, 상기 데이터버스(56)를 통하여 데이터를 받아들여 외부로 출력하는 출력버퍼(55)를 구비한다.

상기와 같이 구성되는 듀얼포트 디램은 블록라이트기능 및 플래시라이트기능을 수행하는 반도체 메모리장치이다. 그리고 상기 데이터 입력버퍼(51)는 외부 입력데이터 \overline{WII} 를 받아들여 싸모오스레벨의 입력데이터로 정형하는 입력단(60)과, 상기 입력데이터를 입력데이터 래치회로(62)를 거쳐 데이터버스(56)에 접속된 출력단(65)에 전달하는 제1경로와, 소정의 신호에 제어되어 상기 입력데이터를 받아들여 자체내에 저장하며 제2경로를 통하여 상기 출력단(65)에 접속되는 칼라레지스터(61)와, 출력선택신호 ϕ NMG에 동기하여 상기 제1경로와 제2경로를 상보적으로 상기 출력단(65)에 접속시키는 출력선택수단(63)과, 상기 출력단(65)의 출력동작을 제어하는 출력제어신호 ϕ OPE를 발생시키는 출력제어수단(64)으로 이루어져 있다. 상기 기입수단(52)으로는 통상적으로 라이트 드라이버(write driver)가 이용되며, 독출수단(54)으로는 센서 앰프 및 비트라인 게이트가 이용된다.

제7도는 상기 제6도에 도시된 바와 같이 구성되는 본 발명에 따른 듀얼포트 디램의 구성중 데이터 입력버퍼(51)의 일실시예이다. 상기 입력버퍼(51)는 TTL 레벨의 외부 입력데이터 \overline{WII} 를 인가받아 싸모오스 레벨의 입력데이터로 정형하는 입력단(60)과, 상기 입력데이터를 로드 칼라레지스터 제어신호 ϕ LCR에 따라 칼라레지스터 데이터로서 래치시키는 칼라레지스터 정보 래치회로(61)와, 상기 입력데이터를 $\overline{WB}/\overline{WE}$

신호에 의해 발생하는 입력데이터 래치필스 \overline{DIL} 에 따라 저장시키는 입력데이터 래치회로(62)와, 상기 칼라레지스터 데이터와 상기 입력데이터 래치회로(62)에 저장된 입력데이터를 택일적으로 선택하여 출력단(65)에 전달하는 출력선택수단(63)과, 상기 출력단(65)의 동작을 제어하는 출력제어수단(64)으로 이루어진다. 상기 출력단(65)에서 출력되는 데이터는 제6도의 데이터버스(56)에 전달된다.

상기 제7도의 동작을 살펴본다. 정상적인 데이터 입력동작은 입력단(60)에 의해 일정 싸모오스레벨로 정형된 입력데이터는 입력데이터 래치필스 \overline{DIL} 에 제어되는 제6전달게이트(606)가 턴온시에 입력데이터 래치회로(62)내의 제1래치에 저장되며, 제8전달게이트(608)를 갖는 제1경로를 통하여 출력단(65)에 전달된다. 칼라레지스터에 데이터를 저장하는 로드 칼라레지스터 싸이클에 대하여 살펴본다. 로드 칼라레지스터 신호 ϕLCR 이 "하이"로 액티브되면 제1전달게이트(601) 및 제4전달게이트(604)는 턴오프되고 제2전달게이트(602)와 제3전달게이트(603)는 턴온되므로, 상기 입력단(60)으로부터 유입되어 있는 입력데이터는 칼라레지스터 정보 래치회로(61)에 래치된다. 소정의 시간 후에 상기 로드 칼라레지스터 신호 ϕLCR 이 "로우"가 되면 상기 제1전달게이트(601) 및 제4전달게이트(604)는 턴온되고 턴온되고 제2전달게이트(602)와 제3전달게이트(603)는 턴오프되므로, 상기 래치된 데이터는 제2래치에 저장된다. 상기 제2래치에 저장된 칼라레지스터 데이터 CRI는 데이터버스(56)에 실리게 되어 출력버퍼(55)를 통하여 출력단(65)에 전달된다.

상기 제5 및 제8전달게이트(605, 608)를 택일적으로 턴온시키는 신호 ϕNMG 는 노말모드 게이팅(Normal Mode Gating) 신호로서, 노말모드(정상적인 입력데이터를 출력하는 모드) 및 특별모드(리드 칼라레지스터 모드나 블록라이트 모드 또는 플래시라이트 모드)에 따라 상기 제1경로와 제2경로를 상호적으로 출력단에 접속시킨다. 예를들어, 리드 칼라레지스터 싸이클이 수행될 시 칼라레지스터 정보 래치회로(61)에 래치된 데이터가 상기 제2경로를 통해 출력단(65)에 전달되도록 한다. 그러면 제2경로를 통해 출력단(65)에 전달되는 칼라레지스터 데이터 CRI는 데이터버스(56)에 실리게 되어 출력버퍼(55)로 보내진다.

상기 출력단(65)은 출력제어수단(64)에 의해 제어된다. 상기 출력제어수단(64)에서 출력단(65)으로 유입되는 출력제어신호 ϕOPE 는 데이터 기입신호 \overline{DINA} 와 리드 칼라레지스터 신호의 반전신호 \overline{CROM} 를 논리곱한 신호와, 입력단의 출력과 ϕNON 의 반전신호를 논리곱한 신호가 노마게이트(609)에 의해 연산됨에 따라 발생된다. 상기 ϕOPE 신호가 "하이"일 때에만 상기 출력단(65)의 동작이 이루어지므로, 상기 데이터 기입신호 \overline{DINA} 가 "로우"이거나 상기 리드 칼라레지스터 신호의 반전신호 \overline{CROM} 가 "로우"인 경우 상기 출력단(65)은 동작하지 않는다.

제8도는 상기 제7도와 같이 구성되는 데이터 입력버퍼(51)에 칼라레지스터 데이터를 저장하거나 읽어내기 위한 제어신호를 발생하는 회로를 나타내는 도면이다. 상기 제8도에 인가되는 ϕDSF 는 외부에서 인가되는 특별기능 제어신호 ϕDSF 에 의해 발생되고, ϕWR 는 외부에서 인가되는 $\overline{WB}/\overline{WE}$ 에 의해 발생되고, ϕCP 는 외부에서 인가되는 \overline{CAS} 에 의해 발생되는 마스터 클럭(master clock)이고, ϕWB 는 상기 $\overline{WB}/\overline{WE}$ 의 지연된 신호이다. 상기 ϕWR , ϕCP , ϕDSF , ϕWB 신호들의 조합에 의해 발생되는 ϕLCR 은 로드 칼라레지스터 신호이고, ϕDSF , ϕWB 신호의 조합에 의해 발생되는 신호 \overline{CROM} 은 리드 칼라레지스터 신호이다. 상기 \overline{CROM} 신호가 "하이"로 인가될 경우에는 제6도의 메모리셀 어레이(50)에 기입데이터를 전달하는 기입수단(52)인 라이트 드라이버는 턴오프되도록 한다. 따라서, 칼라레지스터에 저장된 데이터는 출력버퍼(55)를 통해 외부로 출력된다.

제9도는 상기 제7도의 출력선택수단(63)의 출력선택신호인 노말모드 게이팅신호 ϕNMG 를 발생하기 위한 회로를 나타내는 도면이다. 상기 ϕNMG 와 플래시라이트 인에이블신호 ϕFLW 와 리드 칼라레지스터 신호 \overline{CROM} 의 논리합에 의해 발생된다. 따라서, 상기 3개의 신호중 어느하나가 "하이"로 액티브되면 상기 ϕNMG 신호는 "하이"로 출력된다. 따라서 상기 제7도에서 칼라레지스터의 데이터 CRI가 제2경로를 통하여 데이터버스(56)에 실리게 된다.

상술한 바와 같이 본 발명에 따른 듀얼포트 디램의 데이터 입력버퍼에서 칼라레지스터에 저장된 데이터가 메모리셀 어레이로 전달되는 경로 및 출력버퍼로 전달되는 경로가 동일 데이터버스를 이용하여 이루어지도록 함으로써, 데이터버스설계에 따른 칩면적의 증가를 방지하고, 칼라레지스터의 데이터를 외부로 읽어내기 위한 제어회로가 간단해지는 장점을 갖게 된다.

(57) 청구의 범위

청구항 1

기입수단(52)을 통하여 외부데이터를 받아들여 저장하며 독출수단(54)을 통하여 저장된 데이터를 출력하는 메모리셀 어레이(50)와, 상기 기입수단(52) 및 독출수단(54)에 공통접속되어 데이터경로로 이용되는 데이터버스(56)와, 입력단(60)이 외부입력 데이터를 받아들여 일정레벨로 정형하며 출력단(65)이 상기 데이터버스(56)에 접속된 입력버퍼(51)와, 상기 데이터버스(56)를 통하여 데이터를 받아들여 외부로 출력하는 출력버퍼(55)를 구비하며, 블록라이트 기능 및 플래시라이트기능을 가지는 듀얼포트 디램에 있어서, 상기 데이터 입력버퍼(51)는, 외부 입력데이터를 받아들여 입력데이터로 정형하는 입력단(60)과, 상기 입력데이터를 입력데이터 래치회로(62)를 거쳐 데이터버스(56)에 접속된 출력단(65)에 전달하는 제1경로와, 소정의 신호에 제어되어 상기 입력데이터를 받아들여 자체내에 저장하며 제2경로를 통하여 상기 출력단(65)에 접속되는 칼라레지스터(61)와, 출력선택신호에 동기하여 상기 제1경로와 제2경로를 상호적으로 상기 출력단(65)에 접속시키는 출력선택수단(63)과, 상기 출력단(65)의 출력동작을 제어하는 출력제어신호를 발생시키는 출력제어수단(64)으로 이루어짐을 특징으로 하는 듀얼포트 디램.

청구항 2

제1항에 있어서, 상기 출력선택신호가 칼라레지스터 데이터 독출신호와 블록라이트 제어신호 및 플래시라이트 제어신호의 논리합으로 발생되며, 상기 출력제어신호가 하이 액티브될 때에 상기 제2경로가 출력단

에 접속됨을 특징으로 하는 듀얼포트 디램.

청구항 3

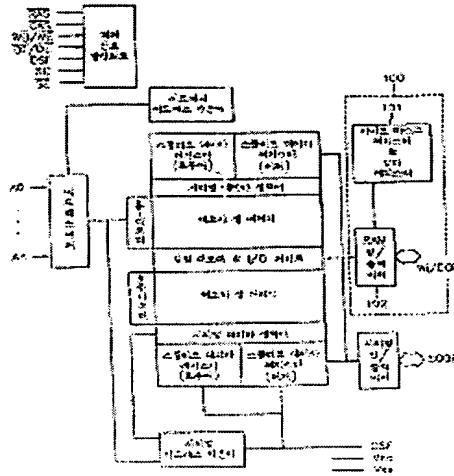
제1항에 있어서, 상기 출력제어수단(64)은 상기 메모리셀 어레이(50)에 데이터를 기입하기 위한 신호에 제어되어 상기 출력단(65)을 구동시킴을 특징으로 하는 듀얼포트 디램.

청구항 4

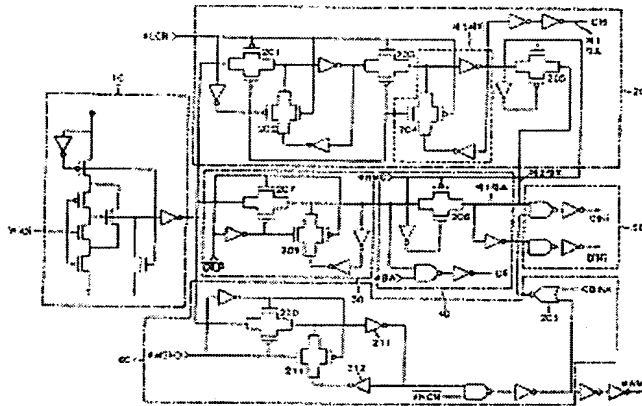
제1항에 있어서, 상기 입력단(60)은 티티엘레벨의 외부 입력데이터를 싸모오스레벨의 입력데이터로 정형함을 특징으로 하는 듀얼포트 디램.

도면

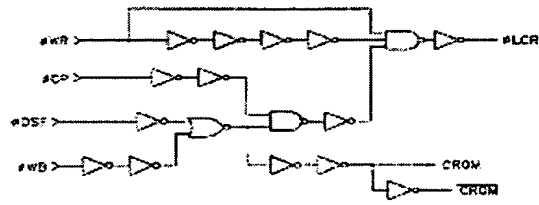
도면1



도면2



도 118



도 119

